

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0055292
Application Number

출원년월일 : 2002년 09월 12일
Date of Application SEP 12, 2002

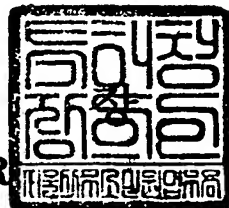
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.09.12
【발명의 명칭】	비휘발성 메모리 장치의 제조 방법
【발명의 영문명칭】	Method Of Fabricating Nonvolatile Memory Device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	조인수
【성명의 영문표기】	CHO, IN S00
【주민등록번호】	600227-1183124
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 865-1 신영통현대아파트 107동 1301호
【국적】	KR
【발명자】	
【성명의 국문표기】	유재민
【성명의 영문표기】	YU, JAE MIN
【주민등록번호】	641025-1405911
【우편번호】	139-210
【주소】	서울특별시 노원구 상계10동 마들대림아파트 1-1304
【국적】	KR

【발명자】

【성명의 국문표기】 전병구
【성명의 영문표기】 JEON, BYUNG G00
【주민등록번호】 671027-1520912
【우편번호】 449-846
【주소】 경기도 용인시 수지읍 풍덕천리 687-1 우성그린빌 110-305
【국적】 KR

【발명자】

【성명의 국문표기】 유준열
【성명의 영문표기】 YOU, JUN YE0UL
【주민등록번호】 700227-1030817
【우편번호】 441-400
【주소】 경기도 수원시 권선구 곡반정동 한솔아파트 101동 603호
【국적】 KR

【발명자】

【성명의 국문표기】 이창엽
【성명의 영문표기】 LEE, CHANG YUP
【주민등록번호】 700417-1691421
【우편번호】 441-390
【주소】 경기도 수원시 권선구 권선동 1305 대우아파트 322-1202
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	9 면	9,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	19 항	717,000 원
【합계】		755,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

비휘발성 메모리 장치의 제조 방법을 제공한다. 이 방법은 반도체기판 상에 하부 도전막을 형성하고, 그 결과물 상에 차례로 적층된 하부 희생막 패턴 및 상부 희생막 패턴을 형성한 후, 상부 및 하부 희생막 패턴의 측벽에 마스크 스페이서를 형성하는 단계를 포함한다. 이때, 상부 및 하부 희생막 패턴은 하부 도전막을 노출시키는 개구부를 갖는다. 또한, 상부 희생막 패턴은 하부 희생막 패턴에 대해 식각 선택성을 갖는 물질, 바람직하게는 실리콘 산화막으로 형성한다. 이때, 상부 희생막 패턴은 저온 화학 기상 증착의 방법으로 형성하는 것이 바람직하다. 그 결과, 열적 부담없이 마스크 스페이서의 높이를 증가시킬 수 있기 때문에, 워드 라인과 소오스 라인 사이의 쇼트를 예방할 수 있다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

비휘발성 메모리 장치의 제조 방법{Method Of Fabricating Nonvolatile Memory Device}

【도면의 간단한 설명】

도 1 내지 도 4는 종래 기술에 따른 비휘발성 메모리 장치의 제조 방법을 나타내는 공정단면도들이다.

도 5 내지 도 13는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 나타내는 공정단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 장치의 제조 방법에 관한 것으로서, 특히 스플릿 게이트형 비휘발성 메모리 장치의 제조 방법에 관한 것이다.

<4> 전자 장치의 소형화 및 휴대화에 따라, 전원이 공급되지 않아도 저장된 정보를 유지할 수 있는 반도체 장치인 비휘발성 메모리 장치에 대한 수요가 급증하고 있다. 상기 비휘발성 메모리 장치로는 전기적으로 프로그램(program) 및 이레이즈(erase)가 가능한 플래쉬 메모리 장치가 주목받고 있다. 이러한 플래쉬 메모리 장치는 스택(stack) 게이트형 및 스플릿(split) 게이트형으로 크게 구분된다.

- <5> 상기 스택 게이트형 플래쉬 메모리 장치는 부유 게이트 및 제어 게이트가 차례로 적층된 구조로서, 프로그램 및 이레이즈 동작에 각각 CHEI(channel hot electron injection) 및 FN tunneling(Fowler-Nordheim tunneling)을 이용한다. 이러한 스택 게이트형 플래쉬 메모리 장치는 고집적화에는 유리하지만, 선택되지 않은 셀 트랜지스터를 턴온(turn-on)시키는 오버 이레이즈(over-erase)의 문제가 발생할 수 있다. 상기 스플릿 게이트형 플래쉬 메모리 장치는 채널의 턴온 및 턴오프 상태를 통제할 수 있도록, 상기 채널의 상부 영역(즉, 부유 게이트(floating gate)의 측면)에 제어 게이트(control gate)를 배치함으로써, 상술한 오버 이레이즈의 문제를 해결한다.
- <6> 도 1 내지 도 4는 종래기술에 따른 스플릿 게이트형 플래쉬 메모리 장치의 형성 방법을 설명하기 위한 공정단면도들이다.
- <7> 도 1을 참조하면, 반도체기판(10)의 소정영역에 활성영역을 한정하는 소자분리막(도시하지 않음)을 형성한다. 상기 소자분리막이 형성된 반도체기판 상에, 상기 활성영역에 평행한 하부 도전막을 형성한다. 이에 따라, 인접한 두 하부 도전막 사이에는 상기 소자분리막의 상부면이 노출된다.
- <8> 상기 하부 도전막 상에 실리콘 질화막으로 이루어지는 희생막 패턴(88)을 형성한다. 상기 희생막 패턴(88)은 상기 활성영역을 가로지르면서, 상기 하부도전막의 상부면을 노출시키는 개구부를 갖는다. 상기 개구부의 내벽에 마스크 스페이서(30)를 형성한 후, 이를 식각 마스크로 사용하여 상기 하부 도전막을 식각한다. 이에 따라, 상기 마스크 스페이서(30) 및 상기 희생막 패턴(88)의 아래에는 상기 반도체기판(10)을 노출시키는 하부 도전막 패턴(20)이 형성된다. 이때, 상기

마스크 스페이서(30)는 통상적인 모양의 스페이서와 마찬가지로, 수직 한 일 측벽 및 곡선형의 다른 측벽을 갖는다. 이에 따라, 상기 마스크 스페이서(30)는 상부에서의 폭이 하부에서의 폭보다 좁다.

<9> 상기 노출된 반도체기판(10)에 소오스(s)로 사용되는 불순물 영역을 형성한 후, 상기 하부 도전막 패턴(20)의 측벽에 절연막 스페이서를 형성한다. 상기 결과물 전면, 상기 마스크 스페이서(30) 및 상기 절연막 스페이서에 의해 형성되는 갭영역을 채우면서 상기 소오스(s)에 접촉하는 플러그 도전막(40)을 형성한다.

<10> 도 2 및 도 3을 참조하면, 상기 희생막 패턴(88)의 상부면이 노출될 때까지 상기 플러그 도전막(40)을 평탄화 식각함으로써, 상기 갭영역을 채우는 소오스 플러그(45)를 형성한다. 상기 소오스 플러그(45)의 상부면에 실리콘 산화막을 형성한 후, 상기 노출된 희생막 패턴(88)을 제거한다. 이에 따라, 상기 마스크 스페이서(30)의 측면에는 상기 하부 도전막 패턴(20)이 노출된다. 이후, 상기 노출된 하부 도전막 패턴(20)을 식각하여 상기 마스크 스페이서(30) 아래에 잔존하는 부유 게이트(25)를 형성한다. 상기 부유 게이트(25)의 측벽에 산화막을 형성한 후, 그 결과물 전면을 덮는 상부 도전막(50)을 t_0 의 두께로 콘포말하게 형성한다.

<11> 상기 마스크 스페이서(30)가 노출되도록 상기 상부 도전막(50)을 평탄화 식각함으로써, 상기 마스크 스페이서(30) 측면에 상부 도전막 패턴을 형성한다. 이후, 상기 상부 도전막 패턴을 패터닝하여, 상기 마스크 스페이서(30)의 측벽에 배치되는 제어 게이트(55)를 형성한다. 이후, 상기 제어 게이트(55) 측면의 반도체기판에 드레인(d)으로 사용되는 불순물 영역을 형성한다.

<12> 한편, 상기 제어 게이트(55)는 셀 트랜지스터의 워드 라인(word line)으로 사용된다. 이에 따라, 상기 제어 게이트(55)의 두께가 낮아지면, 워드 라인의 저항은 증가하고 반도체 장치의 동작 속도는 감소한다. 따라서, 반도체 장치의 동작 속도를 유지하기 위해서는, 상기 제어 게이트(55)가 충분한 높이를 가질 수 있도록 상기 상부 도전막(50)을 평탄화 식각하는 것이 바람직하다. 하지만, 이를 위해서는 상기 상부 도전막(50)을 두껍게 형성하는 것이 필요한데, 이러한 필요는 상기 마스크 스페이서(30)를 높게 형성할 것을 요구한다. 상기 마스크 스페이서(30)의 높이는 상기 희생막 패턴(88)의 높이에 의해 결정되므로, 상기 마스크 스페이서(30)를 높게 형성하기 위해서는 상기 희생막 패턴(88)을 두껍게 형성하는 것이 필요하다. 하지만, 상기 희생막 패턴(88)을 과도하게 두껍게 형성하는 것은 바람직하지 않다. 왜냐하면, 상기 희생막 패턴(88)은 실리콘 질화막을 고온에서 형성하기 때문에, 이를 두껍게 형성하는 것은 상기 소오스(s)에 주입된 불순물들의 확산과 같은, 열적 부담(thermal budget)의 문제가 있다.

<13> 또한, 상기 마스크 스페이서(30)의 높이가 낮을 경우, 평탄화 식각된 상기 마스크 스페이서(30)의 상부 폭(도 2의 l_1)이 좁아지는 문제가 있다. 이 문제는, 상술한 것처럼, 상기 마스크 스페이서(30)가 상부가 하부보다 좁은 모양을 갖는 것에 원인을 갖는다. 또한, 이 문제는 상기 소오스 플러그(45)에 접속하는 배선(70)이 상기 제어 게이트(55)와 연결되는 쇼트(99)의 문제를 유발할 수 있다. 도 4에 도시된 것처럼, 상기 마스크 스페이서(30)의 높이가 높아지면, 평탄화 식각된 상기 마스크 스페이서(30)의 상부 폭(l_2)이 넓어짐으로써, 상기 쇼트의 문제는 최소화된다. 하지만, 종래 기술에 따를 경우, 상기 마스크 스페이서(30)는 상술한 열적 부담의 문제때문에 높게 형성하는 것은 제한된다.

<14> 한편, 상기 소오스 플러그(45) 형성을 위한 평탄화 식각 공정은 실리카(silica) 및 세리아(ceria)를 슬러리로 사용하는 화학 기계적 연마 기술을 사용하여 실시한다. 이때, 상기 평탄화 식각 공정은 식각 선택성이 취약한 다결정 실리콘의 플러그 도전막(40) 및 실리콘 질화막의 희생막 패턴(88)을 차례로 식각하기 때문에, 식각 공정의 균일성이 떨어지는 문제를 갖는다.

【발명이 이루고자 하는 기술적 과제】

<15> 본 발명이 이루고자 하는 기술적 과제는 워드 라인과 소오스 플러그 사이의 간격을 충분히 확보할 수 있는 비휘발성 메모리 장치의 제조 방법을 제공한다.

<16> 본 발명이 이루고자 하는 다른 기술적 과제는 열적 부담의 문제를 피하면서 마스크 스페이서의 높이를 증가시킬 수 있는 비휘발성 메모리 장치의 제조 방법을 제공하는 데 있다.

<17> 본 발명이 이루고자 하는 또다른 기술적 과제는 평탄화 식각 공정의 균일도를 향상시킬 수 있는 비휘발성 메모리 장치의 제조 방법을 제공한다.

【발명의 구성 및 작용】

<18> 상기 기술적 과제들을 달성하기 위하여, 본 발명은 하부 희생막 패턴에 대해 식각 선택성을 갖는 물질로 상부 희생막 패턴을 형성하는 단계를 포함하는 비휘발성 메모리 장치의 제조 방법을 제공한다. 이 방법은 반도체기판 상에 하부 도전막을 형성하고, 상기 하부 도전막이 형성된 반도체기판 상에 차례로 적층된 하부 희생막 패턴 및 상부 희생막 패턴을 형성한 후, 상기 상부 및 하부 희생막 패턴의 측벽에 마스크 스페이서를 형성하는 단계를 포함한다. 이때, 상기 상부 및 하부 희생막 패턴은 상기 하부 도전막을

노출시키는 개구부를 갖는다. 상기 마스크 스페이서 및 상기 상부 희생막 패턴을 식각 마스크로 사용하여 상기 노출된 하부 도전막을 식각함으로써, 상기 반도체기판을 노출시키는 하부 도전막 패턴을 형성한다. 이후, 상기 하부 도전막 패턴이 형성된 반도체기판의 전면을 덮는 플러그 도전막을 형성한 후, 이를 평탄화 식각하여 소오스 플러그를 형성한다. 상기 소오스 플러그를 형성하는 단계는 상기 하부 희생막 패턴이 노출될 때까지 상기 플러그 도전막을 평탄화 식각하는 단계를 포함하며, 이렇게 형성되는 상기 소오스 플러그는 상기 마스크 스페이서 사이의 갭영역을 채우면서 상기 반도체기판에 접속한다.

<19> 바람직하게는, 상기 하부 희생막 패턴은 실리콘 질화막으로 형성하고, 상기 상부 희생막 패턴 및 상기 마스크 스페이서는 상기 하부 희생막 패턴에 대해 식각 선택성을 갖는 물질로 형성한다. 특히, 상기 상부 희생막 패턴은 실리콘 산화막을 저온 화학 기상 증착의 방법으로 형성하는 것이 바람직하다.

<20> 한편, 상기 하부 도전막을 형성하기 전에, 상기 반도체기판의 소정영역에 활성영역을 한정하는 소자분리막을 형성한 후, 상기 활성영역을 덮는 게이트 산화막을 형성하는 단계를 포함할 수도 있다. 이때, 상기 하부 도전막은 상기 활성영역에 평행하면서 상기 게이트 산화막을 덮도록 형성한다.

<21> 또한, 상기 상부 희생막 패턴 및 하부 희생막 패턴을 형성하는 단계는 상기 하부 도전막이 형성된 반도체기판 상에 하부 희생막 및 상부 희생막을 차례로 형성한 후, 이를 패터닝하여 상기 활성영역을 가로지르는 개구부를 형성하는 단계를 포함한다. 상기 개구부를 형성하는 단계는 상기 하부 도전막을 노출시키되, 노출되는 상부면이 라운드되도록 등방성 식각의 방법으로 실시하는 단계를 포함한다.

- <22> 바람직하게는, 상기 하부 도전막 패턴을 형성한 후, 상기 노출된 반도체기판에 소오스로 사용되는 불순물 영역을 형성하는 단계를 더 실시한다. 이에 더하여, 상기 플러그 도전막을 형성하기 전에, 상기 하부 도전막 패턴의 측벽을 덮는 산화막 또는 질화막을 더 형성할 수도 있다.
- <23> 상기 플러그 도전막을 평탄화 식각하는 단계는 화학 기계적 연마 기술을 사용하여 실시할 수 있는데, 바람직하게는 상기 상부 희생막 패턴에 대해 식각 선택성을 갖는 식각 레서피를 사용하는 단계를 포함한다. 이때, 상기 상부 희생막 패턴은 200 내지 3000 Å의 두께로 형성할 수 있다.
- <24> 상기 소오스 플러그를 형성한 후, 상기 소오스 플러그의 상부면에 식각 방지 절연막을 형성하고, 상기 노출된 하부 희생막 패턴을 제거하여 상기 하부 도전막 패턴을 노출시킨 후, 상기 마스크 스페이서의 아래에 부유 게이트를 형성하고, 상기 부유 게이트의 측면에 제어 게이트를 형성하는 단계를 더 실시할 수 있다. 이때, 상기 부유 게이트를 형성하는 단계는 상기 마스크 스페이서를 식각 마스크로 사용하여 상기 노출된 하부 도전막 패턴을 이방성 식각하는 것이 바람직하다. 또한, 상기 제어 게이트를 형성하기 전에, 상기 부유 게이트와 상기 제어 게이트 사이에 개재되는 측벽 절연막을 더 형성하는 것이 바람직하다. 이때, 상기 측벽 절연막은 상기 부유 게이트의 측벽을 열산화시키는 방법으로 형성한다.
- <25> 한편, 상기 제어 게이트를 형성하는 단계는 상기 부유 게이트가 형성된 반도체기판의 전면에서 상부 도전막을 적층한 후, 이를 평탄화 식각하여 상기 부유 게이트의 측면에 배치되는 상부 도전막 패턴을 형성하는 단계를 포함한다. 이후, 상기 활성영역을 가로지르도록 상기 상부 도전막 패턴을 패터닝한다. 바람직하게는 상기 제어 게이트를 형성한

후, 상기 제어 게이트 측면의 반도체기판에 드레인으로 사용되는 불순물 영역을 더 형성한다.

<26> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<27> 도 5 내지 도 13은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 나타내는 공정단면도들이다.

<28> 도 5를 참조하면, 반도체기판(100)의 소정영역에 활성영역을 한정하는 소자분리막(도시하지 않음)을 형성한다. 상기 활성영역 상에 게이트 산화막(110)을 형성한다. 상기 게이트 산화막(110)은 상기 활성영역을 열산화시키는 방법으로 형성한 실리콘 산화막인 것이 바람직하다.

<29> 상기 게이트 산화막(110)을 포함하는 반도체기판 전면에 하부 다결정 실리콘막을 형성한 후, 이를 패터닝하여 상기 활성영역에 평행하면서 상기 게이트 산화막(110)을 덮는 하부 도전막(120)을 형성한다. 이후, 상기 하부 도전막(120)을 포함하는 반도체기판 전면에 하부 희생막(130) 및 상부 희생막(140)을 차례로 형성한다. 상기 하부 희생막(130)은 실리콘 질화막으로 형성하고, 상기 상부 희생막(140)은 상기 하부 희생막(130)

에 대해 식각 선택성을 갖는 물질막으로 형성한다. 바람직하게는 상기 상부 희생막(140)은 실리콘 산화막으로 형성한다. 상기 하부 희생막(130)은 종래 기술에서 설명한 열적 부담의 문제를 유발하지 않도록, 대략 4000Å 이하의 두께로 형성하는 것이 바람직하다. 상기 상부 희생막(140)은 상술한 열적 부담없이 상기 하부 희생막(130)의 유효 두께를 증가시키는 역할을 한다. 이에 더하여, 상기 상부 희생막(140)은 높은 식각 선택성을 가지고 후속 평탄화 식각 공정을 진행할 수 있게 하는 식각 정지막의 역할도 한다. 이를 위해, 상기 상부 희생막(140)은 700℃ 이하의 온도에서 실시되는 화학 기상 증착 공정을 사용하여, 200 내지 3000Å의 두께로 형성한 실리콘 산화막인 것이 바람직하다.

<30> 상기 상부 희생막(140) 상에는 반사방지막(150)을 더 형성할 수도 있다. 상기 반사방지막(150)은 실리콘 산화질화막(SiON)을 대략 800Å의 두께로 형성하는 것이 바람직하다.

<31> 도 6을 참조하면, 상기 반사방지막(150) 상에 상기 활성영역을 가로지르는 개구부를 갖는 포토레지스트 패턴(도시하지 않음)을 형성한다. 상기 포토레지스트 패턴을 식각 마스크로 사용하여, 상기 반사방지막(150), 상기 상부 희생막(140) 및 상기 하부 희생막(130)을 차례로 이방성 식각한다. 이에 따라, 상기 포토레지스트 패턴 아래에는 차례로 적층되어 상기 하부 도전막(120)의 상부면을 노출시키는 개구부(160)를 갖는 하부 희생막 패턴(135), 상부 희생막 패턴(145) 및 반사방지막 패턴(155)이 형성된다.

<32> 상기 개구부(160) 형성을 위한 식각 공정은 상기 개구부를 통해 노출되는 상기 하부 도전막(120)에 오목부를 형성하도록 실시하는 것이 바람직하다. 이를 위해 상기 식각 공정은 등방성 식각의 방법의 단계를 포함한다. 상기 오목부의 가장자리(즉, 상기 하부 희생막 패턴(135)의 측벽에 인접하는 영역)는 라운드된 모양을 갖는다. 이처럼 라운드된

모양의 오목부 가장자리는 후속 공정에서 부유 게이트의 첨단(sharp point)을 형성하게 된다.

<33> 도 7을 참조하면, 상기 포토레지스트 패턴을 제거하여 상기 반사방지막 패턴(155)을 노출시킨 후, 그 결과물 전면에 마스크막을 콘포말하게 형성한다. 상기 마스크막은 상기 하부 희생막 패턴(135)에 대해 식각 선택성을 갖는 절연막으로 형성하고, 바람직하게는 실리콘 산화막으로 형성한다. 이후, 상기 하부 도전막(120)이 노출될 때까지 상기 마스크막을 이방성 식각함으로써, 상기 개구부(160)의 측벽에 마스크 스페이서(170)를 형성한다. 이때, 상기 마스크 스페이서(170)의 높이는 종래 기술에 사용되지 않았던 상기 상부 희생막 패턴(145)의 높이만큼 종래 기술에 비해 더 높게 형성될 수 있다.

<34> 상기 마스크 스페이서(170) 및 상기 반사방지막 패턴(155)을 식각 마스크로 사용하여, 상기 노출된 하부 도전막(120)을 이방성 식각한다. 이에 따라, 상기 하부 희생막 패턴(135) 및 상기 마스크 스페이서(170)에 의해 덮이되, 상기 마스크 스페이서들(170) 사이에서 상기 게이트 산화막(110)을 노출시키는 하부 도전막 패턴(125)이 형성된다. 이때, 식각 마스크로 사용되는 상기 반사방지막 패턴(155)이 제거되어 상기 상부 희생막 패턴(145)의 상부면이 노출될 수도 있다. 상기 하부 도전막 패턴(125)을 형성하기 위한 식각 공정은 실리콘 산화막에 대해 식각 선택성을 갖는 식각 레서피를 사용한다.

<35> 도 8을 참조하면, 상기 노출된 게이트 산화막(110)을 식각하여, 상기 마스크 스페이서(170) 사이에서 상기 반도체기판(100)을 노출시키는 게이트 산화막 패턴(115)을 형성한다. 상기 게이트 산화막 패턴(115) 형성을 위한 식각 공정은 상기 상부 희생막 패턴(145)이 잔존하도록 실시한다. 이를 위해서는 도 5에서 설명한 것처럼, 상기 상부 희생막(140)을 충분한 두께로 형성하는 것이 바람직하다.

- <36> 이후, 상기 마스크 스페이서(170) 및 상기 상부 희생막 패턴(145)을 이온 주입 마스크로 사용하는 이온 주입 공정을 실시한다. 이에 따라, 상기 마스크 스페이서(170) 사이에서 노출되는 상기 반도체기판(100)에는 소오스(s)로 사용되는 불순물 영역이 형성된다.
- <37> 이어서, 상기 하부 도전막 패턴(125)의 노출된 측벽을 덮는 산화막 스페이서(180)를 형성한다. 상기 산화막 스페이서(180)는, 통상적인 스페이서 형성 방법과 마찬가지로, 상기 게이트 산화막 패턴(115)을 포함하는 반도체기판 전면에서 산화막을 형성한 후, 이를 이방성 식각하는 단계를 통해 형성된다. 바람직하게는 상기 산화막 스페이서(180)는 화학 기상 증착 기술을 사용하여 형성한 MTO이다. 또한, 상기 산화막 스페이서(180)의 측벽에는 질화막 라이너(190)가 더 형성될 수도 있다. 한편, 상기 소오스(s) 형성을 위한 이온 주입 공정은 상기 게이트 산화막(110)을 식각하기 전 또는 상기 질화막 라이너(190)를 형성한 후에 실시할 수도 있다.
- <38> 도 9를 참조하면, 상기 질화막 라이너(190)가 형성된 반도체기판의 전면에서 플러그 도전막을 형성한다. 상기 플러그 도전막은 화학 기상 증착 공정을 통해 형성한 다결정 실리콘인 것이 바람직하게는, 텅스텐 등의 금속이 사용될 수도 있다. 금속 물질이 사용될 경우, 통상적인 확산 방지막이 더 사용될 수 있다.
- <39> 상기 하부 희생막 패턴(135)이 노출될 때까지 상기 플러그 도전막을 평탄화 식각함으로써, 상기 마스크 스페이서(170) 사이의 갭영역을 채우면서 상기 소오스(s)에 접속하는 소오스 플러그(200)를 형성한다. 상기 소오스 플러그(200) 형성을 위한 평탄화 식각 공정은 상기 상부 희생막 패턴(145)이 노출될 때까지 상기 플러그 도전막을 식각하는 제 1 단계 및 상기 하부 희생막 패턴(135)이 노출될 때까지 상기 노출된 상부 희생막 패턴

(145)을 식각하는 제 2 단계로 구성될 수 있다. 상기 제 1 단계 및 제 2 단계는 각각 실리카(silica) 및 세리아(ceria)를 슬러리로 사용하는 화학 기계적 연마 공정인 것이 바람직하다. 이때, 실리콘 산화막으로 이루어진 상기 상부 희생막 패턴(145)에 의해, 상기 화학 기계적 연마 공정은 우수한 식각 선택성을 갖게 실시할 수 있다. 이에 따라, 종래 기술에서의 식각 불균일의 문제는 최소화될 수 있다.

<40> 이후 상기 소오스 플러그(200) 상에 식각 방지 절연막(205)을 형성한다. 상기 식각 방지 절연막(205)은 상기 소오스 플러그(200)의 노출된 상부면을 열산화시킴으로써 형성되는 실리콘 산화막인 것이 바람직하다. 이에 따라 노출되는 표면은 상기 하부 희생막 패턴(135), 상기 마스크 스페이서(170) 및 상기 식각 방지 절연막(205)들의 상부면이다. 이때, 상기 하부 희생막 패턴(135)은 실리콘 질화막이고, 상기 마스크 스페이서(170) 및 상기 식각방지 절연막(205)들은 실리콘 산화막이다.

<41> 도 10을 참조하면, 상기 노출된 하부 희생막 패턴(135)을 제거한다. 이에 따라, 상기 마스크 스페이서(170) 아래의 영역을 제외한 영역에서는 상기 하부 도전막 패턴(125)의 상부면은 노출된다. 이후, 노출된 상기 하부 도전막 패턴(125)을 식각하여, 상기 마스크 스페이서(170)아래에 배치되는 부유 게이트(127)를 형성한다. 상기 부유 게이트(127) 측면의 반도체기판 상에는 상기 게이트 산화막 패턴(115)의 상부면이 노출된다.

<42> 상기 부유 게이트(127) 형성을 위한 식각 공정은 상기 게이트 산화막 패턴(115)에 대해 식각 선택성을 갖는 식각 레서피를 사용하는 것이 바람직하다. 또한, 이 식각 공정은 이방성 식각의 방법으로 실시하는 것이 바람직하다.

<43> 상기 부유 게이트(127)의 측벽에 측벽 절연막(129)을 형성한다. 상기 측벽 절연막(129)은 상기 부유 게이트(127)의 노출된 측벽을 열산화시킴으로써 형성하는 실리콘 산

화막인 것이 바람직하다. 상기 측벽 절연막(129)은 산화막-질화막-산화막으로 이루어질 수도 있다. 한편, 상기 노출된 게이트 산화막 패턴(115)을 제거하여, 상기 부유 게이트(127) 옆쪽의 상기 활성영역을 노출시킬 수도 있다. 이때, 상기 열산화 공정에 의해, 상기 노출된 활성영역의 상부에도 실리콘 산화막이 형성될 수도 있다.

<44> 도 11을 참조하면, 상기 측벽 절연막(129)이 형성된 반도체기판의 전면, 차례로 적층된 상부 도전막(210) 및 식각 정지막(220)을 콘포말하게 형성한다. 이에 따른 결과물은 계단형의 단면 프로파일을 갖는다. 즉, 상기 상부 도전막(210) 및 상기 식각 정지막(220)은 상기 마스크 스페이서(170) 사이(I, 즉 아래부분)에 비해 상기 마스크 스페이서(170) 및 상기 식각 방지 절연막(205)의 상부(II, 즉 윗부분)에서 높은 높이를 갖는다.

<45> 종래 기술에서 설명한 것처럼, 워드라인의 두께는 반도체 장치의 동작 속도에 영향을 준다. 상기 상부 도전막(210)의 두께는 후속 공정을 통해, 상기 워드라인의 두께를 결정한다. 따라서, 상기 상부 도전막(210)은 소정 두께 이상으로 형성하는 요구된다. 아울러, 상기 상부 도전막(210)이 후속 평탄화 식각 공정에서 과도하게 식각되는 문제를 최소화되어야 한다. 상기 식각 정지막(220)은 상기 상부 도전막(210)이 과도하게 식각되는 문제를 최소화하기 위한 물질막이다.

<46> 도 12를 참조하면, 상기 윗부분(II)에서 상기 상부 도전막(210)이 노출되도록, 거기에서의 상기 식각 정지막(220)을 제거한다. 이에 따라 잔존하게되는 상기 식각 정지막(220)은 상기 아래부분(I)에서 상기 상부 도전막(210)을 덮는다. 이후, 상기 아래부분(I)에 잔존하는 상기 식각 정지막(220)에 대해 식각 선택성을 갖는

식각 레서피를 사용하여, 상기 노출된 상부 도전막(210)을 평탄화 식각함으로써 상부 도전막 패턴(215)을 형성한다. 이에 따라, 상기 식각된 결과물은 대략 상기 잔존하는 식각 정지막(220)의 상부면 높이가 된다. 또한, 상기 상부 도전막 패턴(215)은 상기 마스크 스페이서(170) 및 상기 부유 게이트(127)의 측면에 배치된다. 이후, 상기 잔존하는 식각 정지막(220)은 제거된다.

<47> 상기 상부 도전막 패턴(215) 형성을 위한 평탄화 식각 공정은 상기 마스크 스페이서(170)를 함께 식각한다. 이에 따라, 상기 마스크 스페이서(170)는 식각되어 상기 부유 게이트(127)를 덮는 캐핑 패턴(175)을 형성한다. 상기 캐핑 패턴(175)의 상부면의 높이는 상기 상부 도전막 패턴(215)의 상부면과 같게 된다. 이렇게 형성된 상기 캐핑 패턴(175)은 통상적인 스페이서의 모양과 달리, 양측벽이 모두 대략 수직한 모양을 갖는다. 이와 함께, 상기 식각 방지 절연막(205)은 제거되고, 상기 소오스 플러그(200) 및 상기 산화막 스페이서(180)는 식각되어 상기 캐핑 패턴(175)과 같은 높이를 갖는다.

<48> 도 13을 참조하면, 상기 상부 도전막 패턴(215)을 패터닝하여 상기 부유 게이트(127)의 측면에 배치되는 제어 게이트(217)를 형성한다. 상기 제어 게이트(217)의 두께는 상기 부유 게이트(127) 및 상기 캐핑 패턴(175)의 두께 합과 같다.

<49> 상기 제어 게이트(217) 측면의 반도체기판(100)에 드레인(d)으로 사용되는 불순물 영역을 형성한다. 상기 제어 게이트(217)의 측벽에는 또다른 스페이서가 배치되어 상기 드레인(d)을 LDD 구조로 형성할 수도 있다.

<50> 도 12에서 설명한 것처럼, 상기 캐핑 패턴(175)의 양쪽 측벽들은 수직하기 때문에, 상기 제어 게이트(217)와 상기 소오스 플러그(200) 사이의 거리는 충분하게 이격된다. 이에 따라, 종래 기술에서 워드 라인과 소오스 라인 사이에 발생하는 쇼트의 문제는 최

소화될 수 있다. 이는 상기 하부 회생막(130)에 대해 식각 선택성을 갖는 물질을 사용하여 상기 상부 회생막(140)을 형성하는 본 발명의 방법에 따른 결과이다.

【발명의 효과】

<51> 본 발명에 따르면, 하부 회생막에 대해 식각 선택성을 갖는 실리콘 산화막 등과 같은 물질로 상부 회생막을 형성한다. 이에 따라, 하부 회생막을 두껍게 형성할 경우 발생하는 열적 부담의 문제를 최소화할 수 있다. 또한, 두 회생막들 사이의 식각 선택성을 이용함으로써, 워드 라인과 소오스 라인 사이의 쇼트를 예방할 수 있다. 이에 더하여 제어 게이트를 높게 형성할 수 있어 비휘발성 메모리의 동작 속도의 감소를 예방할 수 있다. 그 결과, 안정적이며 우수한 특성을 갖는 비휘발성 메모리 장치를 제조할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판 상에 하부 도전막을 형성하는 단계;

상기 하부 도전막이 형성된 반도체기판 상에, 상기 하부 도전막을 노출시키는 개구부를 갖는 하부 희생막 패턴 및 상부 희생막 패턴을 형성하는 단계;

상기 상부 및 하부 희생막 패턴의 측벽에 마스크 스페이서를 형성하는 단계;

상기 마스크 스페이서 및 상기 상부 희생막 패턴을 식각 마스크로 사용하여 상기 노출된 하부 도전막을 식각함으로써, 상기 반도체기판을 노출시키는 하부 도전막 패턴을 형성하는 단계;

상기 하부 도전막 패턴이 형성된 반도체기판의 전면을 덮는 플러그 도전막을 형성하는 단계; 및

상기 하부 희생막 패턴이 노출될 때까지 상기 플러그 도전막을 평탄화 식각하여, 상기 마스크 스페이서 사이의 갭영역을 채우면서 상기 반도체기판에 접속하는 소오스 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 하부 도전막을 형성하기 전에,

상기 반도체기판의 소정영역에 활성영역을 한정하는 소자분리막을 형성하는 단계;

및

상기 활성영역을 덮는 게이트 산화막을 형성하는 단계를 더 포함하되, 상기 하부 도전막은 상기 활성영역에 평행하면서 상기 게이트 산화막을 덮도록 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 상부 희생막 패턴 및 하부 희생막 패턴을 형성하는 단계는

상기 하부 도전막이 형성된 반도체기판 상에 하부 희생막 및 상부 희생막을 차례로 형성하는 단계; 및

상기 상부 희생막 및 상기 하부 희생막을 차례로 패터닝하여, 상기 활성영역을 가로지르면서 상기 하부 도전막을 노출시키는 개구부를 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 4】

제 3 항에 있어서,

상기 개구부를 형성하는 단계는 상기 개구부를 통해 노출되는 상기 하부 도전막의 상부면이 라운드되도록, 등방성 식각의 방법으로 실시하는 단계를 포함하는 비휘발성 메모리 장치의 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 하부 희생막 패턴은 실리콘 질화막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 6】

제 1 항에 있어서,

상기 상부 희생막 패턴 및 상기 마스크 스페이서는 상기 하부 희생막 패턴에 대해 식각 선택성을 갖는 물질로 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 7】

제 1 항에 있어서,

상기 상부 희생막 패턴은 실리콘 산화막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 8】

제 1 항에 있어서,

상기 하부 도전막 패턴을 형성한 후, 상기 노출된 반도체기판에 소오스로 사용되는 불순물 영역을 형성하는 단계를 더 포함하는 비휘발성 메모리 장치의 제조 방법.

【청구항 9】

제 1 항에 있어서,

상기 플러그 도전막을 형성하기 전에, 상기 하부 도전막 패턴의 측벽을 덮는 산화막 또는 질화막을 더 형성하는 비휘발성 메모리 장치의 제조 방법.

【청구항 10】

제 1 항에 있어서,

상기 소오스 플러그를 형성한 후,

상기 마스크 스페이서의 아래에 부유 게이트를 형성하는 단계; 및

상기 부유 게이트의 측면에 제어 게이트를 형성하는 단계를 더 포함하는 비휘발성 메모리 장치의 제조 방법.

【청구항 11】

제 10 항에 있어서,

상기 부유 게이트를 형성하기 전에,

상기 소오스 플러그의 상부면에 식각 방지 절연막을 형성하는 단계; 및

상기 노출된 하부 희생막 패턴을 제거하여 상기 하부 도전막 패턴을 노출시키는 단계를 더 포함하는 비휘발성 메모리 장치의 제조 방법.

【청구항 12】

제 11 항에 있어서,

상기 부유 게이트를 형성하는 단계는 상기 마스크 스페이서를 식각 마스크로 사용하여 상기 노출된 하부 도전막 패턴을 이방성 식각하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 13】

제 10 항에 있어서,

상기 제어 게이트를 형성하기 전에,

상기 부유 게이트와 상기 제어 게이트 사이에 개재되는 측벽 절연막을 형성하는 단계를 더 포함하는 비휘발성 메모리 장치의 제조 방법.

【청구항 14】

제 13 항에 있어서,

상기 측벽 절연막은 상기 부유 게이트의 측벽을 열산화시키는 방법으로 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 15】

제 10 항에 있어서,

상기 제어 게이트를 형성하는 단계는

상기 부유 게이트가 형성된 반도체기판의 전면에 상부 도전막을 적층하는 단계;

상기 상부 도전막을 평탄화 식각하여, 상기 부유 게이트의 측면에 배치되는 상부 도전막 패턴을 형성하는 단계; 및

상기 활성영역을 가로지르도록 상기 상부 도전막 패턴을 패터닝하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 16】

제 10 항에 있어서,

상기 제어 게이트를 형성한 후, 상기 제어 게이트 측면의 반도체기판에 드레인으로 사용되는 불순물 영역을 형성하는 단계를 더 포함하는 비휘발성 메모리 장치의 제조 방법.

【청구항 17】

제 1 항에 있어서,

상기 플러그 도전막을 평탄화 식각하는 단계는 화학 기계적 연마 기술을 사용하여 실시하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 18】

제 1 항에 있어서,

상기 플러그 도전막을 평탄화 식각하는 단계는 상기 상부 희생막 패턴에 대해 식각 선택성을 갖는 식각 레서피를 사용하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【청구항 19】

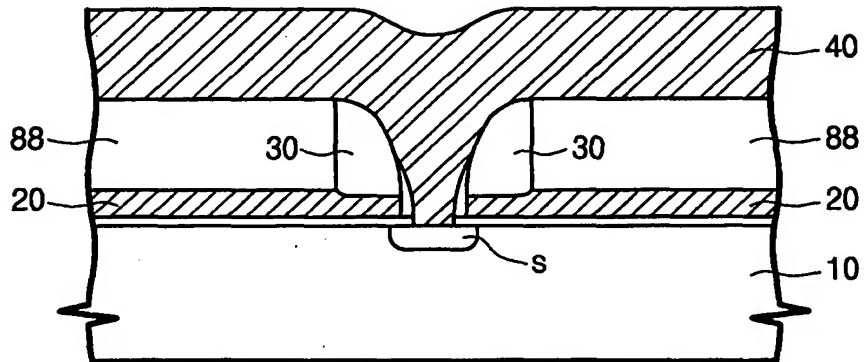
제 1 항에 있어서,

상기 상부 희생막 패턴은 200 내지 3000Å의 두께로 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조 방법.

【도면】

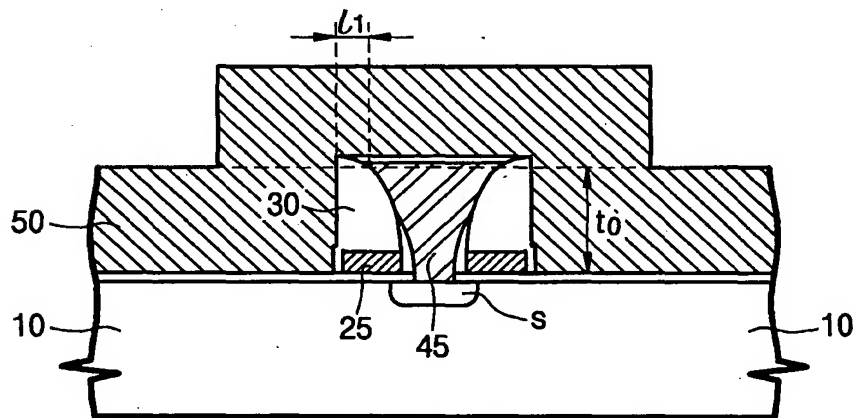
【도 1】

(종래 기술)



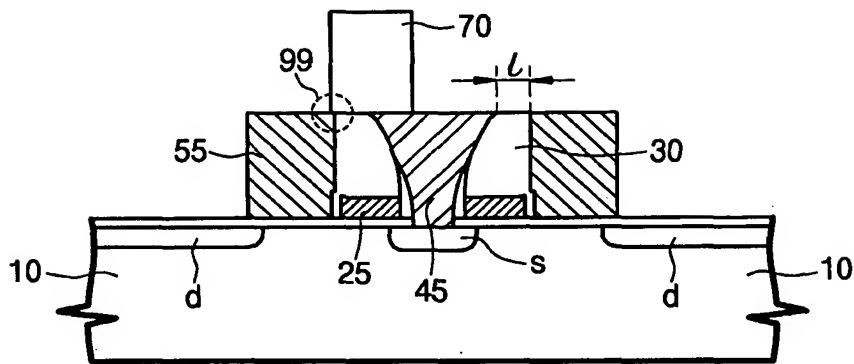
【도 2】

(종래 기술)



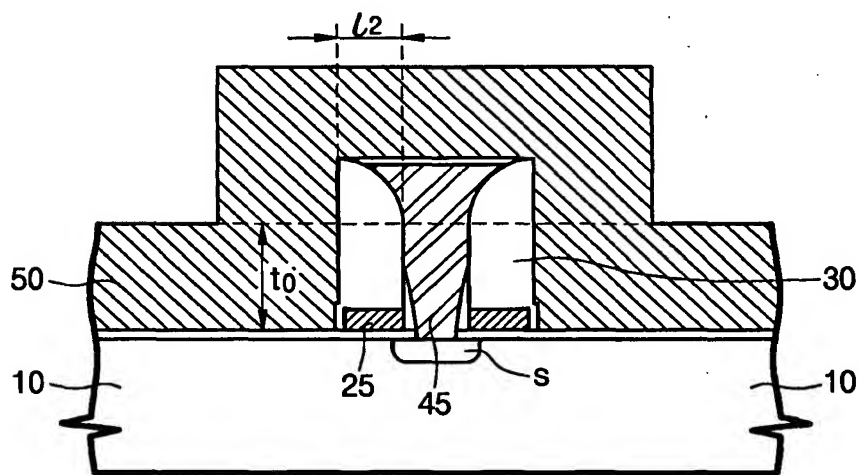
【도 3】

(종래 기술)

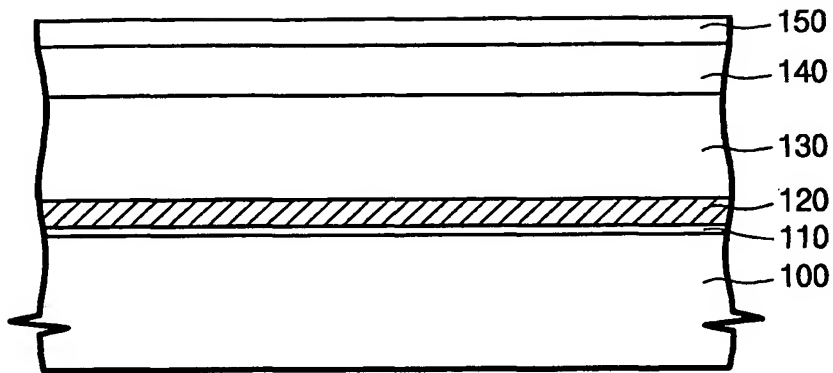


【도 4】

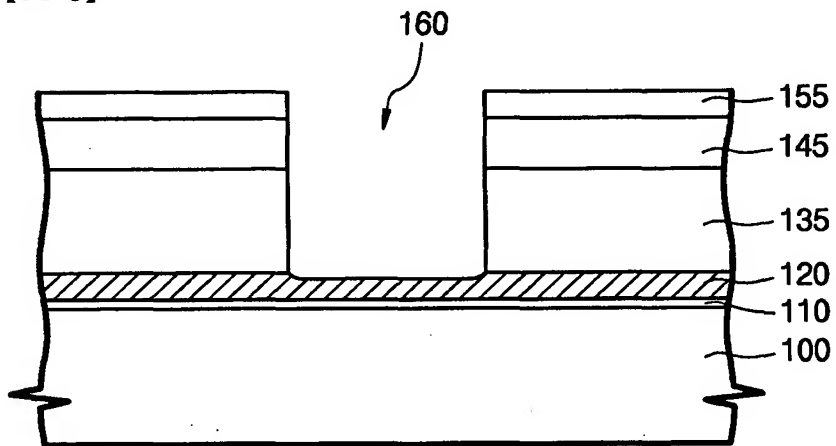
(종래 기술)



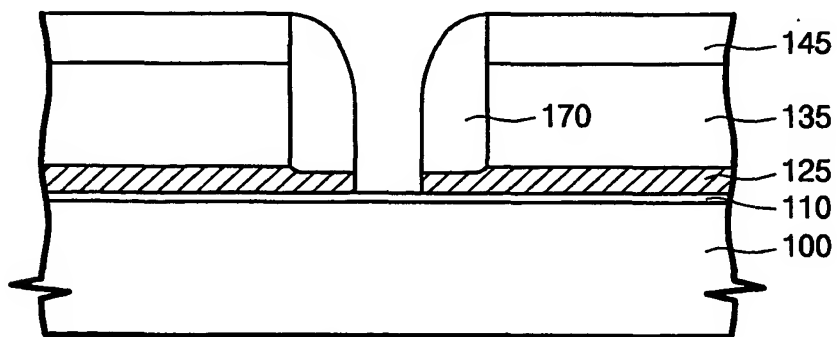
【도 5】



【도 6】



【도 7】



A cross-sectional diagram of a semiconductor device. It shows two transistors side-by-side. Each transistor has a gate stack (170) on top of a channel region (180). The channel regions are separated by a central trench or gap (190). A source/drain region (S) is located at the bottom of each transistor. The device is built on a substrate (100). Various layers are labeled with numbers: 100 (substrate), 115 (bottom layer), 125 (middle layer), 135 (top layer), and 145 (very top layer). The labels 170, 180, 190, and S point to specific structural features of the transistors.

A cross-sectional view of a semiconductor device. A substrate 100 is shown with a top layer 115. A trench 127 is formed in the substrate, with a side wall 129. A layer 170 is deposited on the trench walls and bottom. A central structure 200 is formed within the trench, with a top surface 205. A layer 190 is formed on the bottom of the trench, and a layer 180 is formed on the side walls. A label 's' is placed near the bottom of the trench.

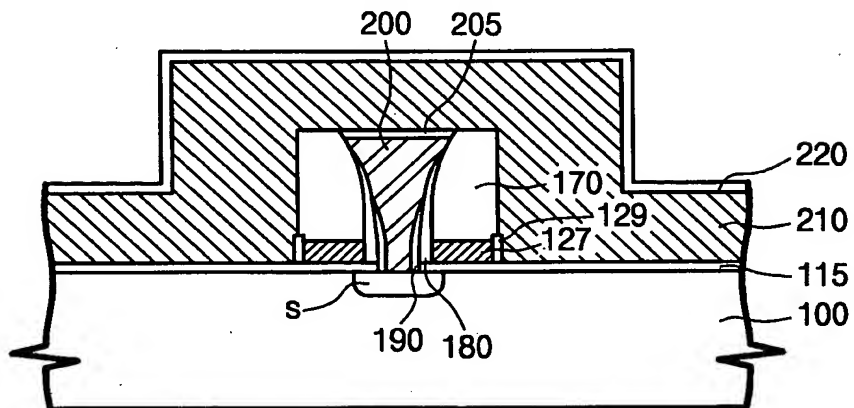


Figure 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 100 with a thin layer 115. A central structure includes a gate 175, a channel 180, and a source/drain region 190. A spacer 200 is on the left, and a contact 215 is on the right. A dashed line 127 indicates a boundary, and 129 is a hatched region.

A cross-sectional view of a semiconductor device. A central channel region (175) is formed in a substrate (100). The channel region is flanked by side regions (127, 129). A gate structure (200) is positioned over the channel region. The gate structure includes a gate dielectric (190) and a gate electrode (180). The side regions are doped with impurities (127, 129). The device is covered by a passivation layer (115). The channel region is defined by a channel stop (175). The side regions are defined by a side stop (127, 129). The gate structure is defined by a gate stop (200). The device is shown in a cross-sectional view with a central channel and side regions.